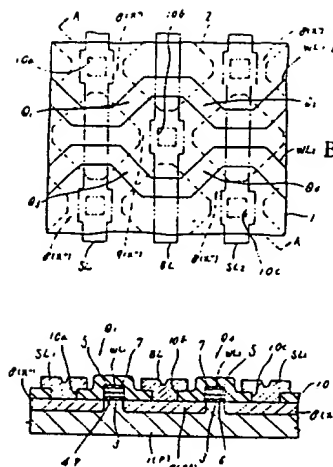


(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

- (11) 62-245658 (A) (43) 26.10.1987 (19) JP
 (21) Appl. No. 61-87927 (22) 18.4.1986
 (71) HITACHI LTD (72) KAZUHIRO KOMORI(1)
 (51) Int. Cl. H01L27/10, G11C17/00

PURPOSE: To obtain high threshold voltage even when the dosage of channel doping is low by a method wherein the threshold voltage of an MISFET is controlled by the selection of conductivity type of the semiconductor layer, which constitutes a gate electrode, and the doping of a channel.

CONSTITUTION: The word wire WL_1 provided on a gate insulating film 3 consists of a p-type semiconductor layer 4 and the high melting point metal silicide provided on the layer 4. On the other hand, n-type semiconductor regions 8 and 9 are provided in a semiconductor substrate 1. MISFET Q_1 and Q_2 are formed using the word wire WL_1 , the regions 8 and 9 as a gate electrode, a source electrode and a drain region. In this case, as the word wire WL_1 is constituted using the layer 4, the difference in the work function between the gate electrode and the substrate 1 can be made larger when compared with the case wherein an n-type semiconductor layer is used instead of the layer 4. Accordingly, the dosage of the channel doping can be reduced in the amount of increase in the above-mentioned difference. As a result, the deterioration in characteristics of the FET Q_1 and Q_2 can be prevented effectively.



2: field insulating film, 6: n-type semiconductor layer, A: WL_1 word wire, B: WL_2 word wire

THIS PAGE BLANK (USPIC)

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-245658

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)10月26日

H 01 L 27/10
G 11 C 17/00

7735-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 昭61-87927

⑰ 出 願 昭61(1986)4月18日

⑱ 発 明 者 小 森 和 宏 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者 竹 田 敏 文 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. MISFETから成る複数のメモリセルを具備し、上記MISFETのしきい値電圧を制御することにより上記メモリセルに情報を書き込むようにした半導体集積回路装置であって、上記MISFETのゲート電極を構成する半導体層の導電型の選択とチャネルドーピングとにより上記MISFETの上記しきい値電圧を制御したことを特徴とする半導体集積回路装置。

2. 低いしきい値電圧を有する上記MISFETの上記ゲート電極を構成する上記半導体層の導電型をn型とし、高いしきい値電圧を有する上記MISFETを構成する上記半導体層の導電型をp型としたことを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 上記半導体層が多結晶Si膜であることを特徴とする特許請求の範囲第1項又は第2項記載の

半導体集積回路装置。

4. 上記ゲート電極が、上記多結晶Si膜とこの多結晶Si膜上に設けられている高融点金属ケイ化合物から成ることを特徴とする特許請求の範囲第3項記載の半導体集積回路装置。

5. 上記半導体集積回路装置がマスクROMであることを特徴とする特許請求の範囲第1項～第4項のいずれか一項記載の半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路装置に関し、特に、マスクROM (Read Only Memory) のメモリセルを構成するMISFETのしきい値電圧の制御に適用して有効な技術に関するものである。

(従来の技術)

マスクROMにおいては、通常、MISFETによりメモリセルが構成され、このメモリセルへの情報の書き込みは、上記MISFETのしきい値電圧を制御することにより行われる。そして、例えば低いしきい値電圧 (例えば0.5V) を有

するMISFETに情報“1”を対応させ、高いしきい値電圧(例えば3V)を有するMISFETに情報“0”を対応させている。

上記MISFETのしきい値電圧の制御方法としては、例えば特開昭56-130963号公報に記載されているように、MISFETのチャネル部に不純物のイオン打込み(チャネルドーピング)を行う方法が知られている。

〔発明が解決しようとする問題点〕

上述の情報“0”に対応するMISFETのしきい値電圧(高いしきい値電圧)は、情報“1”との判別を容易にするためには高い程良く、例えば4V以上が望まれる場合がある。しかしながら、しきい値電圧を高くするためにはチャネルドーピングのドーズ量を高くしなければならず、この傾向はゲート絶縁膜の薄膜化に伴い著しくなる。ところが、特に、所望の情報を書き込んだマスクROMの完成に要する時間、すなわちターンアラウンドタイム(Turn Around Time)の短縮を図るためにAl配線の形成後にチャネルドーピングを行う場

合には、低温のアニールしか行えないため、チャネルドーピングのドーズ量が高いと不純物の電気的活性化を十分に行うことが困難となる。このため、ドレイン領域とチャネル部との接合におけるリーク、耐圧の低下、ホットキャリアの発生による特性劣化等が生ずるという問題がある。

本発明の目的は、チャネルドーピングのドーズ量が低くても高いしきい値電圧を得ることが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を説明すれば、下記のとおりである。

すなわち、MISFETのゲート電極を構成する半導体層の導電型の選択とチャネルドーピングとにより上記MISFETのしきい値電圧を制御している。

〔作用〕

上記した手段によれば、ゲート電極を構成する半導体層の導電型の相違による仕事関数の差だけゲート電極と半導体基板との仕事関数の差 ϕ_{ms} が大きくなるため、この分だけチャネルドーピングのドーズ量を低くすることが可能である。

〔実施例〕

以下、本発明の構成について、一実施例に基づき図面を参照しながら説明する。

なお、全図において、同一の機能を有するものには同一の符号を付け、その繰り返しの説明は省略する。

第1図及び第2図に示すように、本実施例によるマスクROMにおいては、例えばp型Si基板のような半導体基板1に例えばSiO₂膜のようなフィールド絶縁膜2が設けられ、これによって素子分離が行われている。符号WL₁は例えばSiO₂膜のようなゲート絶縁膜3上に設けられたワード線であって、例えばB(ホウ素)のようなp型不純物がドーブされたp型多結晶Si膜のようなp型半導体層4及びこのp型半導体層4上に設けられ

た例えばMoSi₂膜やWSi₂膜のような高融点金属ケイ化物膜5から成る。また符号WL₂もゲート絶縁膜3上に設けられたワード線であって、例えばP(リン)のようなn型不純物がドーブされたn型多結晶Si膜のようなn型半導体層6及びこのn型半導体層6上に設けられた高融点金属ケイ化物膜5から成る。なお符号7は、例えばSiO₂膜のような絶縁膜である。

一方、半導体基板1中には、上記ワード線WL₁、WL₂に対してセルフアラインにn型半導体領域8、9が設けられている。そして、上記ワード線WL₁、n型半導体領域8、9をそれぞれゲート電極、ソース領域及びドレイン領域としてMISFETQ₁、Q₂が構成されている。同様に、上記ワード線WL₂、n型半導体領域8、9をそれぞれゲート電極、ソース領域及びドレイン領域としてMISFETQ₃、Q₄が構成されている。この場合、MISFETQ₁、Q₂のゲート電極を構成するワード線WL₁はp型半導体層4を用いて構成されているので、このp型半導体層4の

代わりにn型半導体層を用いた場合に比べて、導電型の相違によるそれらの仕事関数 ϕ_s の差(Siの場合、約1eV)だけゲート電極と半導体基板1との仕事関数の差 ϕ_{ms} を大きくすることができる。従って、MISFETQ₁、Q₂のしきい値電圧を高いしきい値電圧(例えば4V)に制御する場合、上述の仕事関数差 ϕ_{ms} の増加分だけチャネルドーピングのドーパ量を低くすることができる。また、このようにチャネルドーピングのドーパ量を低くすることができるので、MISFETQ₁、Q₂のドレイン領域とチャネル部との接合におけるリーク、耐圧の低下、ホットキャリアの発生による特性劣化等を効果的に防止することができる。

さらに、上記n型半導体領域8、9、絶縁膜7等の上には、例えばPSG(リンシリケートガラス)膜のような絶縁膜10がこれらを覆うように設けられている。なお第1図においては、図面を見やすくするために絶縁膜10の図示を省略した。そして、この絶縁膜10に設けられたコンタクト

- 7 -

ような半導体層6を形成した後、この半導体層6に拡散、イオン打込み等によりP等のn型不純物を比較的低濃度(例えば $10^{18} \sim 10^{19}/\text{cm}^3$)にドーピングすることにより、この半導体層6をn型化する。次に、この半導体層6上に例えばスパッタ法により例えば膜厚1500Å程度のWSi₂等の高融点金属ケイ化物膜5を形成した後、この高融点金属ケイ化物膜5上に例えばCVD法により膜厚1000Å程度の絶縁膜7を形成する。なお半導体層6へのP等のドーピングは、高融点金属ケイ化物膜5を形成後、この高融点金属ケイ化物膜5を介して行ってもよい。

次に第4図に示すように、上記絶縁膜7、高融点金属ケイ化物膜5、多結晶Si膜6及びゲート絶縁膜3をエッチングにより所定形状にパターンニングしてワード線WL₁、WL₂を形成する。次にこれらのワード線WL₁、WL₂をマスクとして半導体基板1中に例えばAs(ヒ素)のようなn型不純物をイオン打込み等により高濃度にドーピングした後、例えば950℃で20分程度アニールを行

ホール10a~10cを通じて、例えばAl膜から成るソース線SL₁、SL₂及びビット線BL(第1図においてはいずれも一点鎖線で示す)がそれぞれn型半導体領域8、9にコンタクトしている。

次に、上述のように構成された本実施例によるマスクROMの製造方法につき説明する。

まず第1図に示すように、半導体基板1に例えば選択酸化法によりフィールド絶縁膜2を形成する。

次に、このフィールド絶縁膜2で囲まれた活性領域の表面を熱酸化して、第3図に示すように、例えば膜厚350Å程度のゲート絶縁膜3を形成した後、このゲート絶縁膜3を介して半導体基板1中にB等の低濃度イオン打込みによるチャネルドーピングを行う。なおこのチャネルドーピングは、MISFETQ₁のしきい値電圧を低いしきい値電圧(例えば0.5V)に設定する条件で行う。次に上記ゲート絶縁膜3上に例えばCVD法により例えば膜厚2000Å程度の多結晶Si膜の

- 8 -

って不純物の電気的活性化を行い、これによりn型半導体領域8、9を形成する。この後、ワード線WL₁、WL₂の下方の部分以外のゲート絶縁膜3を除去する。

次に第5図に示すように、例えばCVD法により例えば膜厚3500Å程度のPSG膜のような絶縁膜10を全面に形成した後、この絶縁膜10の所定部分をエッチング除去してコンタクトホール10a~10cを形成する。次に全面に例えばAl膜をスパッタ法、蒸着法等により形成した後、このAl膜を所定形状にパターンニングして、ソース線SL₁、SL₂及びビット線BLを形成する。次にワード線WL₁の上部の絶縁膜10のみが露出するように他の部分を例えばフォトリソ膜11で覆った後、このフォトリソ膜11をマスクとして例えばBのようなp型不純物のイオン打込みを行う。このp型不純物のイオン打込みは、MISFETQ₁のしきい値電圧の設定のためのチャネルドーピングとn型半導体層6の導電型を反転させるためのドーピングとを兼用し、そのイ

オン打込み条件は、しきい値電圧を例えば3V程度シフトさせると共に、n型半導体層6の導電型を反転させて第2図に示すようにp型半導体層4を形成することができるように選ぶ。このイオン打込みの具体的な条件としては、例えばp型不純物としてBを用い、打込みエネルギーとして250keV、ドーズ量として $10^{14} \sim 10^{15}/\text{cm}^2$

(半導体層6中の濃度は例えば $10^{19} \sim 10^{20}/\text{cm}^3$ 程度、ゲート絶縁膜3との界面近傍における半導体基板1中の濃度は例えば $10^{17}/\text{cm}^3$)を用いる。このようにして、p型不純物のドーピングによりn型半導体層6がp型半導体層4に変化されるので、チャネルドーピングによるしきい値電圧の増大(例えば3V)に加えて、既述のようにこのp型半導体層4とn型半導体層6との仕事関数 ϕ_s の差(Siの場合、約1eV)だけ、すなわち例えば1V程度しきい値電圧を高くすることができる。これによって、比較的低いドーズ量のチャネルドーピングによって、例えば4V程度の高いしきい値電圧を有するMISFETQ₁を得ること

ができる。

なおこのp型不純物のイオン打込みは2段階に分けて行うこともでき、例えば1回目のイオン打込み(チャネルドーピング)によりしきい値電圧を例えば3V程度シフトさせ、2回目のイオン打込みによりn型半導体層6の導電型を反転させてp型半導体層4を形成してもよい。この場合、1回目のイオン打込みは、例えばBを用いて打込みエネルギー350keV、ドーズ量 $1 \times 10^{12}/\text{cm}^2$ の条件で行い、2回目のイオン打込みは同じくBを用いてエネルギー200keV、ドーズ量 $10^{14} \sim 10^{15}/\text{cm}^2$ の条件で行う。

上述のイオン打込みを行った後、フォトレジスト膜11を除去し、次いで例えばH₂中でアニールを行うことにより不純物の電気的活性化を行って、第1図及び第2図に示すように目的とするマスクROMを完成させる。

上述の製造方法によれば、MISFETQ₁の高いしきい値電圧の制御をマスクROMの製造工程の最終工程で行っているため、所望の情報が書

- 11 -

き込まれたマスクROMを短時間で製造することができる。すなわち、ターンアラウンドタイムの短縮を図ることができる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変形し得ることは勿論である。

例えば、本発明は、マスクROMを含む各種半導体集積回路装置に適用することができる。

(発明の効果)

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、チャネルドーピングのドーズ量が低くても高いしきい値電圧を得ることが可能である。

4. 図面の簡単な説明

第1図は、本発明の一実施例によるマスクROMの平面図。

第2図は、第1図に示すマスクROMのA-A

- 12 -

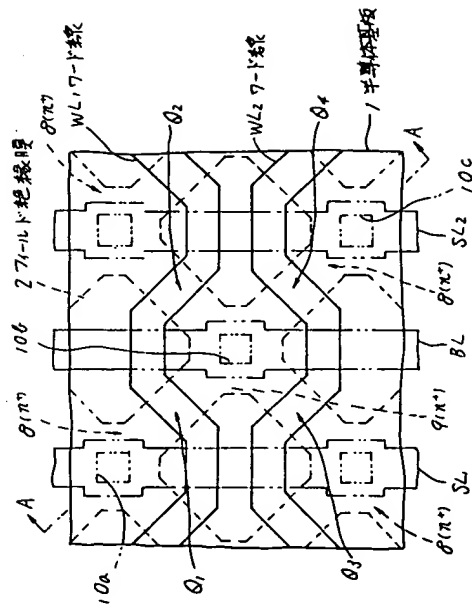
線の断面図。

第3図～第5図は、第1図に示すマスクROMの製造方法の一例を工程順に示す断面図である。

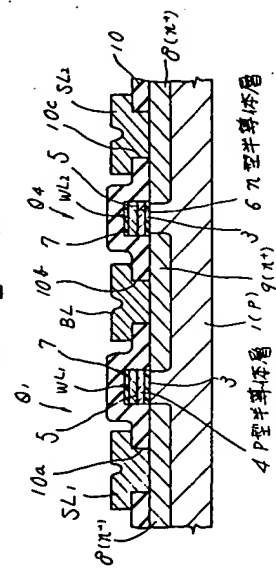
図中、1…半導体基板、3…ゲート絶縁膜、4…p型半導体層、5…高融点金属ケイ化物膜、6…n型半導体層、7、10…絶縁膜、11…フォトレジスト膜、WL₁、WL₂…ワード線、SL₁、SL₂…ソース線、BL…ビット線である。

代理人 弁理士 小川勝男

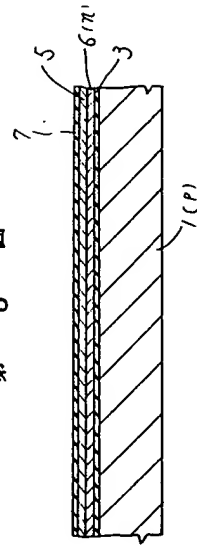
第 1 図



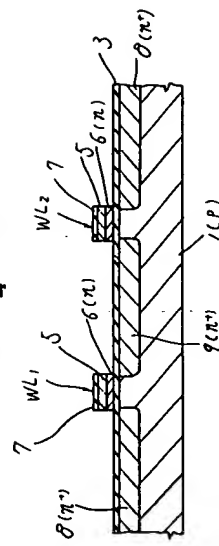
第 2 図



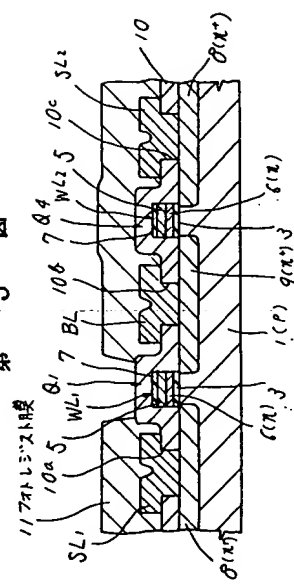
第 3 図



第 4 図



第 5 図



THIS PAGE BLANK (USPTO)